

Flip chip packaging IC element module with molding-free ceramic substrate**Publication number:** TW457660B**Publication date:** 2001-10-01**Inventor:** CHIANG KUO-NING (TW); CHEN WEN-HWA (TW);
TSENG KUO-TAI (TW)**Applicant:** CHIPMOS TECHNOLOGIES INC (TW)**Classification:****- international:** **H01L23/28; H01L23/28;** (IPC1-7): H01L23/28**- European:****Application number:** TW20000117125 20000821**Priority number(s):** TW20000117125 20000821

Report a data error here

Abstract of TW457660B

The present invention utilizes a molding-free flip chip packaging technique, in which a ceramic substrate having array conductive pads is covered by and coupled to I/O endpoints of the ball grid array chip. Metal extended pins are extruded from the circumference of the substrate to complete the flip chip packaging IC element module which has the molding-free ceramic substrate and extrusions.

Data supplied from the **esp@cenet** database - Worldwide

公告本

申請日期: 89.8.21

案號: 89117125

類別:

H01L 83/28

(以上各欄由本局填註)

發明專利說明書

~~457659~~

一、發明名稱	中文	無封膠陶瓷基材覆晶封裝IC元件模組
	英文	457660
二、發明人	姓名 (中文)	1. 江國寧 2. 陳文華 3. 曾國泰
	姓名 (英文)	1. Kuo-Ning Chiang 2. Wen-Hwa Chen 3. Kuo-Tai Tseng
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 桃園縣楊梅鎮梅溪里8鄰裕成路192巷1弄5號 2. 新竹市金城一路52巷17號3樓 3. 高雄市三民區灣中里23鄰鼎山街579號
三、申請人	姓名 (名稱) (中文)	1. 南茂科技股份有限公司
	姓名 (名稱) (英文)	1. ChipMOS Technologies Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹縣研發一路1號
	代表人姓名 (中文)	1. 胡洪九
	代表人姓名 (英文)	1.



457660

四、中文發明摘要 (發明之名稱：無封膠陶瓷基材覆晶封裝IC元件模組)

本技藝採用無封膠晶片覆蓋式技藝，將晶片之球閘陣列輸出入端點覆蓋耦合於具有陣列導電墊片之陶瓷基材，週邊以金屬延伸腳突出於基材，完成有突出腳之無封膠陶瓷基材覆晶封裝IC元件模組。

英文發明摘要 (發明之名稱：)

457660

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

4088

1. 摘要

本技藝採用無封膠晶片覆蓋式技藝，將晶片之球閘陣列輸出入端點覆蓋耦合於具有陣列導電墊片之陶瓷基材，週邊以金屬延伸腳突出於基材，完成有突出腳之無封膠陶瓷基材覆晶封裝IC元件模組。

2. 本技藝適用領域

本技藝適用於各種晶片之高散熱封裝，尤其是高腳數之晶片之散熱封裝。

3. 背景說明

習知技藝之晶片封裝，需要「保護膠體54」將元件封裝，以保護各個元件之可靠度，參見圖十習知技藝，晶片50安置在金屬腳架56上，晶片50上之各輸出入端點以打線52的方式耦合於金屬腳架56之各個腳位，最後再以膠體54加以封裝保護之。本技藝首先揭露不使用膠體為封裝的技藝，實施例之一是以基材與晶片壓合以後即完成晶片封裝，省略了習知技藝必須以「膠體」為晶片封裝之技藝。

4. 圖示的簡單說明

圖一是本技藝第一實施例截面圖

圖二是本技藝基材之第一實施例頂面示意圖

圖三是圖一的分解示意圖

圖四是本技藝第二實施例_晶片寬度與基材相同



五、發明說明 (2)

圖五是本技藝第三實施例_雙面晶片

圖六是本技藝基材之第二實施例頂面示意圖_雙面週邊導電墊片

圖七是圖六的截面圖

圖八是本技藝第四實施例_雙面晶片封裝

圖九是本技藝應用於雙排腳封裝時之製程優勢

圖十是習知技藝

5. 元件編號表

10 陶瓷基材

11 晶片

12 陣列導電墊片

13 陶瓷壓板

14 週邊導電墊片

15 金屬導線

16 金屬延伸腳

17 開口

19 隙縫

21 晶片

22 球開陣列輸出入端點

23 晶片

24 週邊導電墊片

25 陣列導電墊片

26 金屬延伸腳



五、發明說明 (3)

29 隙縫

30 切割線

31 單片晶片封裝

32 兩片晶片封裝

33 三片晶片封裝

34 四片晶片封裝

39 隙縫

50 晶片

52 打線

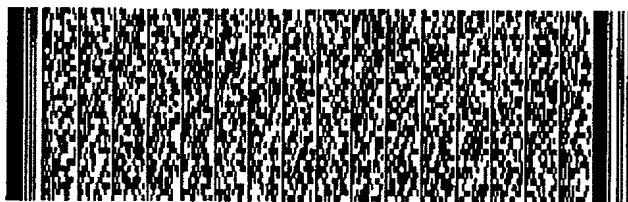
54 膠體

56 金屬延伸腳

6. 本技藝之詳細說明

圖一是本技藝第一實施例截面圖

圖中顯示陶瓷基材10，具有電路(圖中未表示)；基材10表面中央有陣列導電墊片12，藉著基材10之單層電路或是多層電路技藝，耦合至基材10的週邊導電墊片14，週邊導電墊片14安置於基材10的第一面週邊至少一邊，也可以是兩邊、三邊、或是四邊。當需要較多的輸出入端點時，基材10的第二面也可以設計有週邊導電墊片14提供金屬延伸腳16連接之用；晶片11，具有球閘陣列輸出入端點22，球閘陣列輸出入端點22以晶片覆蓋式技藝分別耦合於前述基材10之陣列導電墊片12；金屬延伸腳16，耦合於前述之週邊導電墊片14，作為前述晶片11之球閘陣列輸出入端點22之



五、發明說明 (4)

延伸輸出入端點。基材10與晶片11之間的空間19，必要時可以加入填充材料，提高封裝模組之可靠度。

本技藝以陶瓷基材作為範例說明，實際實施時，其他高散熱電性絕緣基材，例如：玻璃、矽基材、藍寶石(sapphire)基材、GaAs基材. . . 等也是可以取代使用的。

圖二是本技藝基材之第一實施例頂面示意圖

圖中顯示基材10的頂面視圖，顯示基材10有陣列導電墊片12，以及週邊導電墊片14，金屬導線15連接導電墊片12與週邊導電墊片14，金屬延伸腳16耦合於週邊導電墊片14。圖中是以左右兩邊每邊各一排之週邊導電墊片14為範例說明，實際實施時，可以是一邊、二邊、三邊、四邊有週邊導電墊片14，也可以在基材的第二面製作導電墊片。

圖三是圖一的分解示意圖

圖中顯示壓板13具有中央開口17，開口17用以容納晶片11，壓板13用以壓制在晶片11的周邊，壓制封裝週邊之金屬延伸腳16使其耦合於週邊導電墊片14。壓板的材料也是用陶瓷或是其他高散熱電性絕緣材料。

圖四是本技藝第二實施例_晶片寬度與基材相同

圖中顯示當晶片21的面積大小與基材10的面積大小相等或

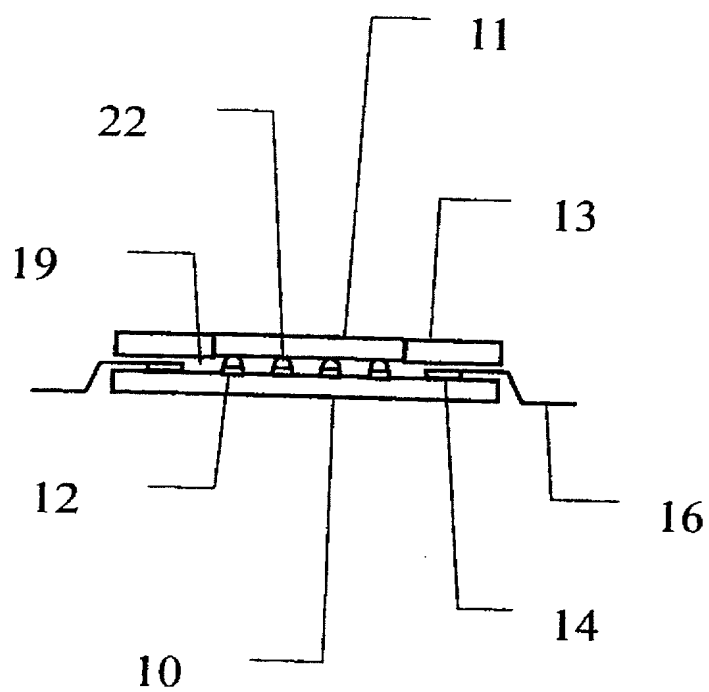


六、申請專利範圍

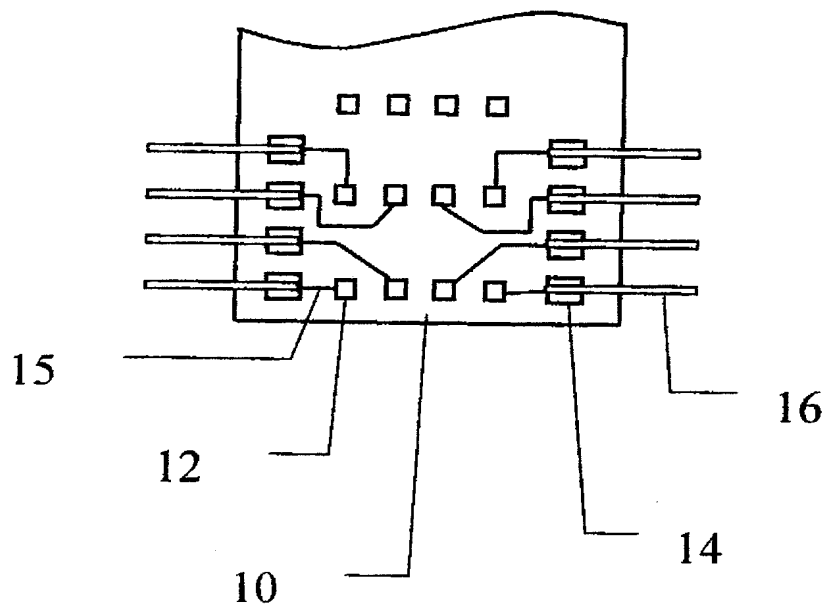
1. 一種無封膠陶瓷基材覆晶封裝IC元件模組，包含：
一片晶片或是一片以上之晶片，具有球閘陣列輸出入端點；
基材，具有電路；
陣列導電墊片，安置於前述之基材表面至少一面，分別耦合於前述之晶片之球閘陣列輸出入端點；
週邊導電墊片，安置於前述之基材至少一面之一邊；
金屬延伸腳，耦合於前述之週邊導電墊片，作為前述晶片之球閘陣列輸出入端點之延伸輸出入端點。
2. 如申請專利範圍第一項所述之無封膠陶瓷基材覆晶封裝IC元件模組，其中所述之晶片平面面積等於或近似於所述之基材平面面積。
3. 如申請專利範圍第一項所述之無封膠陶瓷基材覆晶封裝IC元件模組，其中所述之晶片平面面積小於所述之基材平面面積。
4. 如申請專利範圍第三項所述之無封膠陶瓷基材覆晶封裝IC元件模組，更包含：
壓板，中央具有開口容納前述之晶片，壓制在前述之晶片週邊。
5. 如申請專利範圍第一項所述之無封膠陶瓷基材覆晶



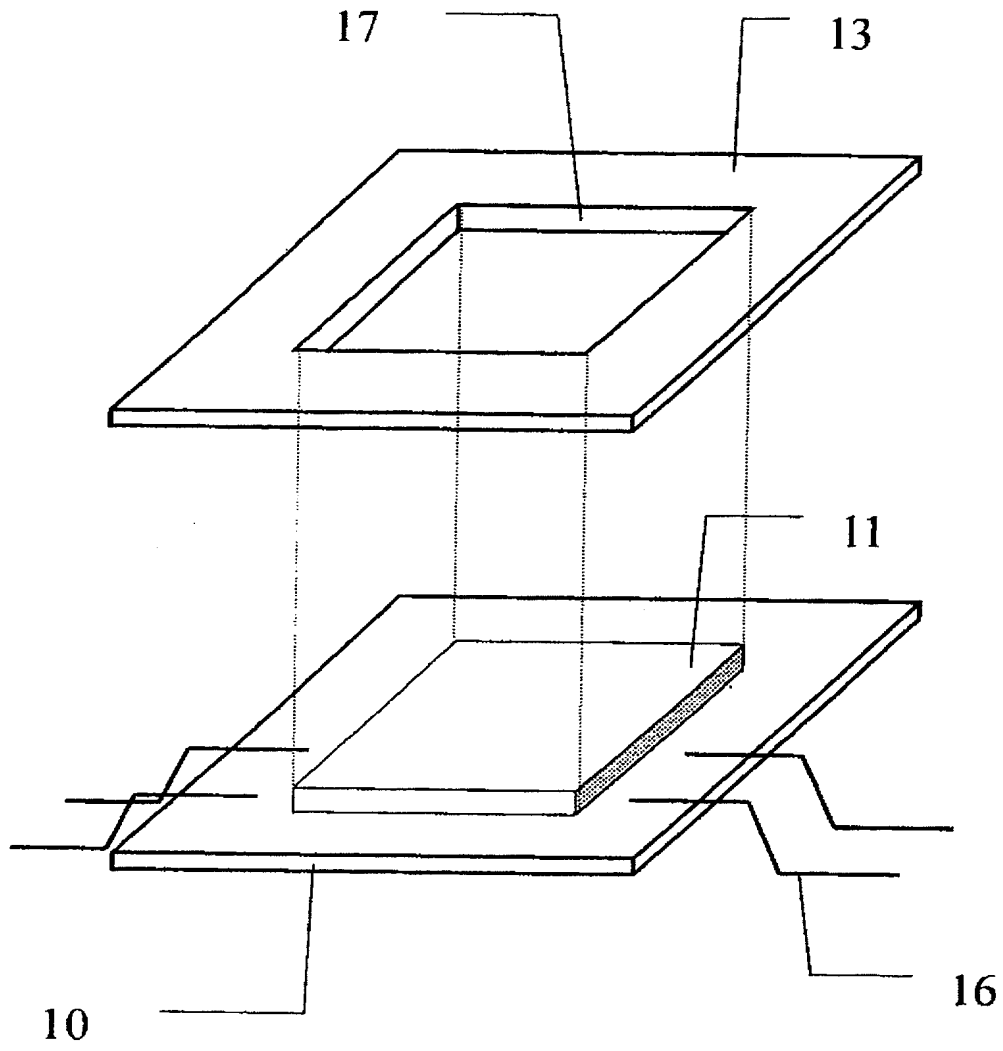
圖一



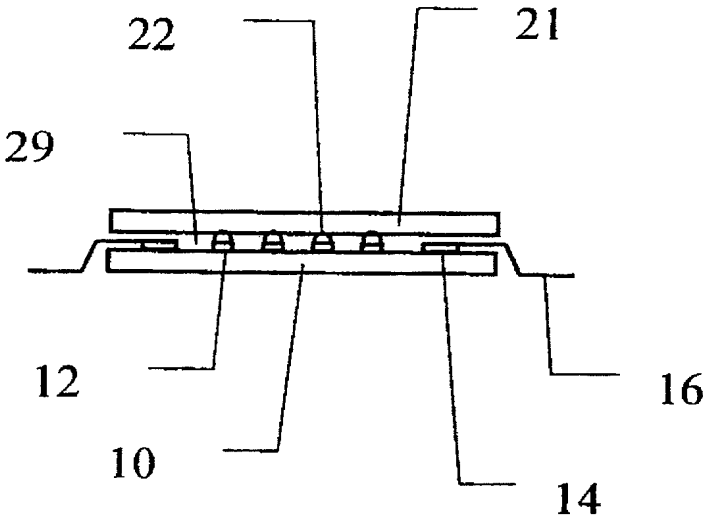
圖二



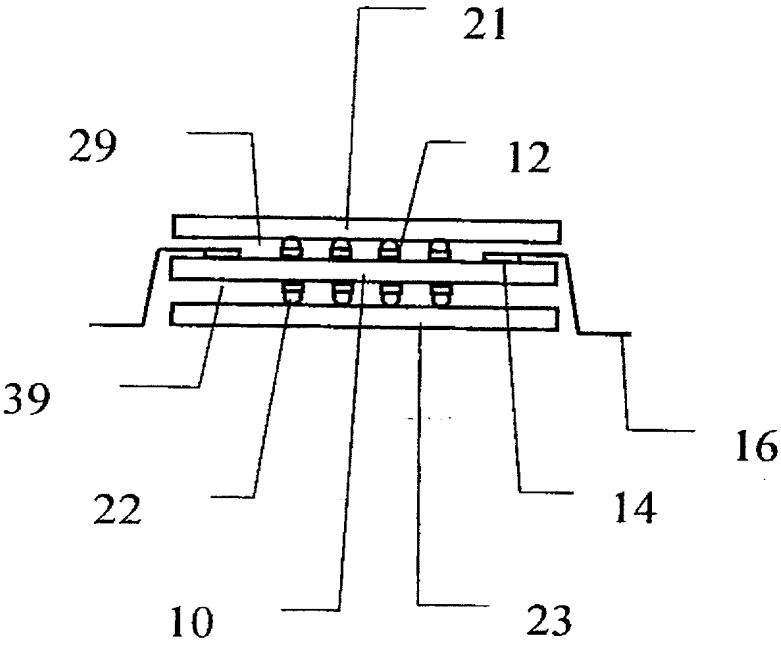
圖三



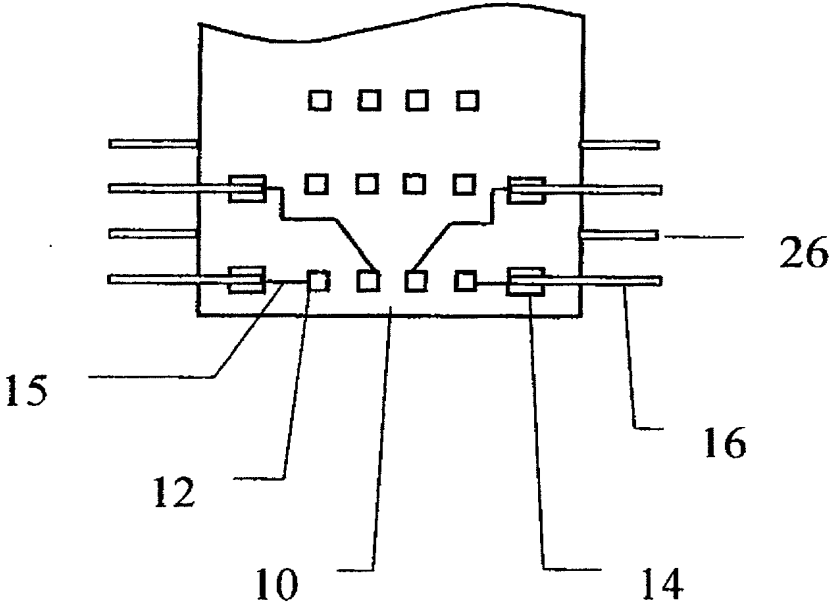
圖四



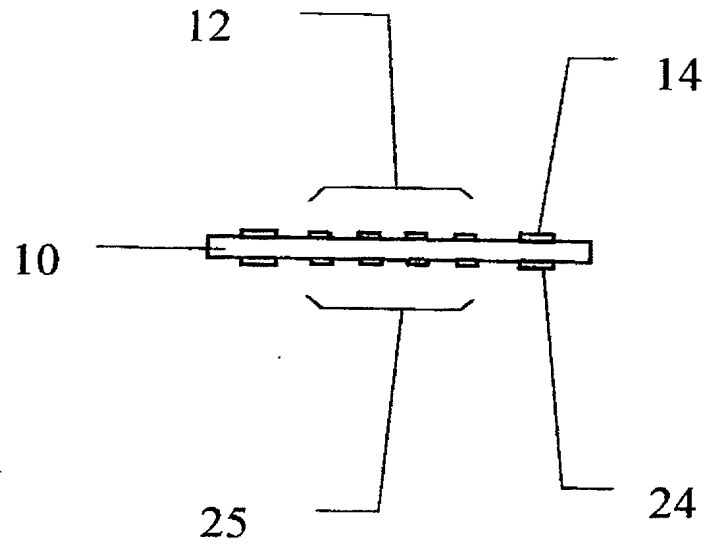
圖五



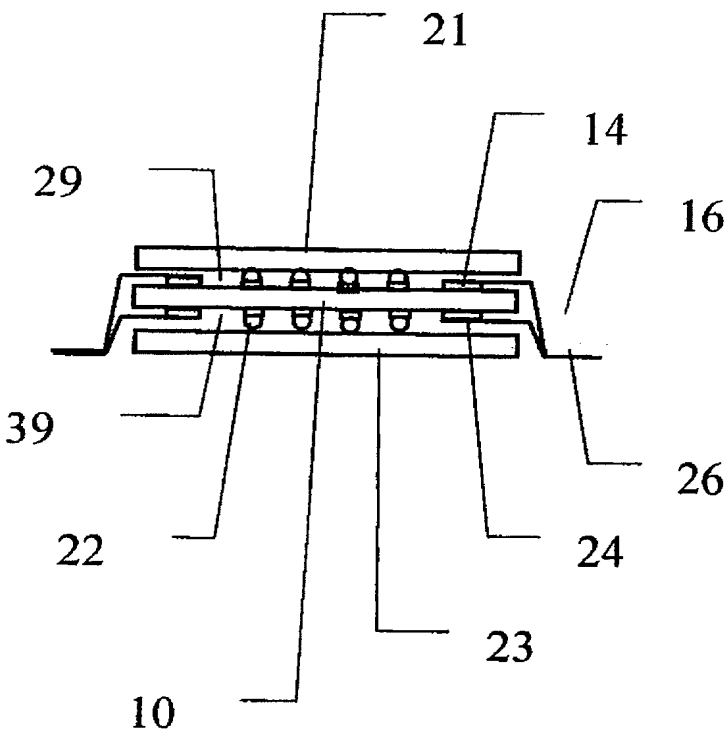
圖六



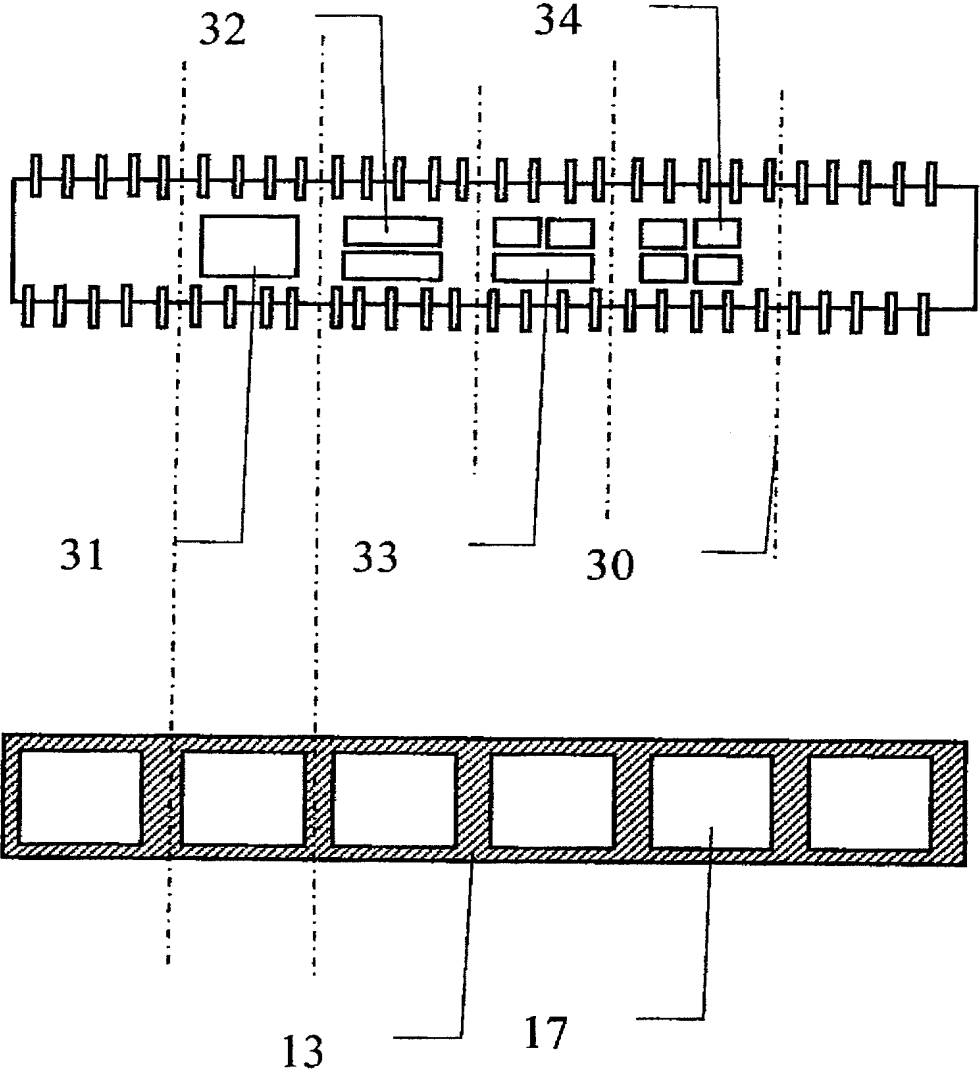
圖七



圖八



圖九



圖十. 習知技藝

